

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03646126 \*\*Image available\*\*

MANUFACTURE OF DISPLAY DEVICE

PUB. NO.: 04-011226 [JP 4011226 A]

PUBLISHED: January 16, 1992 (19920116)

INVENTOR(s): HASHIZUME TSUTOMU

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
, JP (Japan)

APPL. NO.: 02-114654 [JP 90114654]

FILED: April 27, 1990 (19900427)

INTL CLASS: [5] G02F-001/136; H01L-021/336; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096  
(ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1340, Vol. 16, No. 160, Pg. 142,  
April 20, 1992 (19920420)

#### ABSTRACT

PURPOSE: To obtain a thin film transistor with high performance by using an inexpensive glass substrate and a resin substrate by forming the thin film transistor of a crystallized silicon film.

CONSTITUTION: The silicon film 103 is formed on a transparent substrate 101 and patterned, and a gate insulating film 104 and a gate electrode 105 are formed on the amorphous silicon film 103. Then impurities are injected into the silicon film 103 and the transparent substrate 101 is irradiated with a pulse laser beam 108 from the surface where a silicon film 107 is not formed by adhesion to crystallize the silicon films 107 and 103. Then the silicon film 107 is irradiated with the pulse laser beam 108 from the surface on the same side to activate the impurities, thereby forming a source area 111 and a drain area 112. Consequently, the high-performance thin film transistor is obtained by using the inexpensive glass substrate and resin substrate.

日本国特許庁(JP)

⑩特許出願公開

## ⑥公開特許公報(A) 平4-11226

⑨Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

④公開 平成4年(1992)1月16日

G 02 F 1/136  
H 01 L 21/336  
29/784

5 0 0

9018-2K

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全9頁)

②発明の名称 表示装置の製造方法

④特 願 平2-114654

④出 願 平2(1990)4月27日

②発 明 者 橋 爪 勉 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑦出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

④代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発 明 の 名 称

表示装置の製造方法

## 2. 特 許 請 求 の 範 囲

薄膜トランジスタにより画素電極をオン／オフするようにしたアクティブマトリクス方式の表示方法の製造において、

透明基板上にシリコン膜を形成する工程と、  
上記シリコン膜をパターンニングする工程と、  
上記アモルファスのシリコン膜上にゲート絶縁膜及びゲート電極を形成する工程と、  
上記絶縁膜を介してシリコン膜に不純物を注入する工程と、

シリコン膜にパルスレーザービームを透明基板のシリコン膜が被着形成されていない側の面から照射して加熱することによりシリコン膜を結晶化する工程と、

上記不純物を注入されたシリコン膜に、パルスレーザービームを透明基板のシリコン膜が被着形成されていない側の面から照射して

不純物を活性化させることにより上記薄膜トランジスタのソース領域及びドレイン領域を形成する工程とを有することを特徴とする表示装置の製造方法。

## 3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、液晶ディスプレイの製造方法、特に例えばアクティブマトリクス方式の液晶ディスプレイの製造に適用して好適な表示装置の製造方法に関する。

(従来の技術)

従来、各画素に形成された薄膜トランジスタにより画素電極をオンオフして表示を行なうアクティブマトリクス方式の液晶ディスプレイが知られている。特開昭61-249080号公報のように第3図A及び第3図Bに示すように、この液晶ディスプレイに於いては、透明なガラス基板301上に、ITO(Indium Tin Oxide)からなる画素電極302、この画素電極302をオンオフするための導

## 特開平4-11226 (2)

膜トランジスタT、ゲート・バス・ライン303及びソース・バス・ライン304が形成されている。上記薄膜トランジスタTは、上記ゲートバスライン303と一体的に形成されているゲートでんきよく305、二酸化珪素膜または窒化膜のようなゲート絶縁膜306、真性の(i型)の水素化アモルファスシリコン(a-Si:H)膜307、n型のa-Si:H膜からなるソース領域308及びドレイン領域309により構成されている。この場合、ソース領域308は上記ソースバスライン304と接続され、ドレイン領域309はアルミニウム(Al)のような金属の配線310により上記画素電極302と接続されている。尚、第3図Aにおいては、上記ゲート絶縁膜306、a-Si:H膜107、ソース電極108及びドレイン電極109の図示は省略されている。

また、特開平1-241862号公報のように、第3図及び第4図に示すようにこのディスプレイでは、透明なガラス基板501上に画素電極形成用のシリコン膜503と、上

記画素電極503をオンオフするための、上記画素電極形成用のシリコン膜と一体化しているシリコン膜で形成された薄膜トランジスタTFT、ゲート・バス・ライン510及びソース・バス・ライン515が形成されている。上記トランジスタTは、上記ゲートバスラインと一体的に形成されているゲート電極、二酸化珪素膜(または窒化膜)のようなゲート絶縁膜507、真性(i型)の水素化アモルファスシリコンにパルスレーザービームを照射して結晶化されたシリコン膜、LIMPID(Laser Induced Melting of Predeposited Impurity Doping)法と呼ばれている不純物ドーピング法で形成されたソース領域及びドレイン領域により構成されている。上記トランジスタは自己整合的にシリコン膜に不純物がドーピングされるので、ソース領域及びドレイン領域はゲート電極に対して自己整合的に形成されている。この場合、ソース領域は上記ソースバスラインと接続され、ドレイン領域と画素電極は薄いシリコン膜によって一体形成されている。なお、第5図に於いて

は、上記ゲート絶縁膜、真性(i型)の水素化アモルファスシリコンにパルスレーザービームを照射して結晶化されたシリコン膜、ソース領域及びドレイン領域は省略されている。

(発明が解決しようとする課題及び目的)

上述の第3図の従来のアクティブマトリクス液晶ディスプレイに於ける薄膜トランジスタTはa-Si:H膜307を用いて構成されている。このa-Si:H膜307は、プラズマCVD法を用いることにより耐熱性の無いガラス基板(例えば歪み点が850℃程度の無アルカリガラス)基板501上に形成することができる。しかし、このa-Si:H膜307中のキャリア(電子)の移動度は十分に高いとはいえない。また、この薄膜トランジスタTのソース領域308及びドレイン領域309はゲート電極305に対して自己整合的に形成することができないため、これらのソース領域308及びドレイン領域309とゲート電極305との合わせ精度が悪く、ソース領域308とゲート電極305

との間に寄生容量C<sub>gs</sub>が、ドレイン領域309とゲート電極との間に寄生容量C<sub>ds</sub>が発生し、上記薄膜トランジスタの応答速度が遅くなり、また上記薄膜トランジスタが複数個製作された場合には、各々の薄膜トランジスタで発生する寄生容量C<sub>gs</sub>とC<sub>ds</sub>の大きさの違いに起因する、トランジスタ特性のばらつきが発生することになる。

また、上述の第4図の従来のアクティブマトリクスの液晶ディスプレイに於ける薄膜トランジスタTは、a-Si:H膜をパルスレーザーアニールを施して結晶化されたシリコン膜を用いている。さらに、LIMPIDと呼ばれている不純物導入法を用いて、ソース領域及びドレイン領域をゲート電極に対して自己整合的に形成しているが、この不純物導入の際にもパルスレーザーアニールを施している。しかしこの方法では二度もパルスレーザーアニールを必要とし工程が複雑である。さらに、最初のパルスレーザーアニールで、ソース領域及びドレイン領域までも結晶化し、P膜から不純物のPの拡散能力が低下してい

## 特開平4-11226(8)

るため、二度目のパルスレーザーアニールで、効率的にソース領域及びドレイン領域が形成されない欠点がある。さらに、P膜がゲートバスラインとなるアルミニウム層に被覆形成されているため、LIMPID法を行なう際に、アルミニウムが加熱されPがアルミニウム膜中に拡散して、ゲートバスラインの抵抗率が変化してしまう欠点がある。

従って本発明の目的は、安価なガラス基板や樹脂基板を用いてキャリアの移動度の高い高性能の薄膜トランジスタを製造することができる表示装置の製造方法を提供することにある。

本発明の他の目的は、薄膜トランジスタのソース領域及びドレイン領域をゲート電極に対して自己整合的に形成することができる表示装置の製造方法を提供することにある。

本発明の他の目的は、レーザーアニールを複数回にしないように製造方法を簡略化することのできる表示装置の製造方法を提供することにある。

本発明の他の目的は、レーザーアニールに

よって、ゲートバスラインの抵抗率を変化させない表示装置の製造方法を提供することにある。

## 〔課題を解決するための手段〕

本発明は、薄膜トランジスタにより画素電極をオン/オフするようにしたアクティブマトリクス方式の表示方法の製造において、透明基板上にシリコン膜を形成する工程と、上記シリコン膜をパターニングする工程と上記アモルファスのシリコン膜上にゲート絶縁膜及びゲート電極を形成する工程と、上記絶縁膜を介してシリコン膜に不純物を注入する工程と、シリコン膜にパルスレーザービームを透明基板のシリコン膜が被覆形成されていない側の面から照射して加熱することによりシリコン膜を結晶化する工程と、上記不純物を注入されたシリコン膜に、パルスレーザービームを透明基板のシリコン膜が被覆形成されていない側の面から照射して不純物を活性化させることにより上記薄膜トランジスタのソース領域及びドレイン領域を形成する工程と

を有することを特徴とする表示装置の製造方法である。

## 〔作用〕

上記した手段によれば、結晶化されたシリコン膜により薄膜トランジスタを形成できるので、キャリアの移動度を高くすることができる。しかも、シリコン膜がアモルファスシリコン膜であれば、アモルファスシリコン膜の形成及びその結晶化、ソース領域及びドレイン領域を形成するための不純物の注入及び活性化などはいずれも室温から300℃程度の低温で行なうことができる。したがって、安価なガラス基板や樹脂基板を用いて高性能の薄膜トランジスタを製造することができる。また、低圧化学気相法(LPCVD法)で、反応ガスをモノシランまたはジシランまたはポリシランを用い、550℃以下の温度でシリコン膜を形成すれば、室温から300℃の温度で形成されるアモルファスなシリコン膜よりも水素の含有量の少ないシリコン膜が形成できる。したがって、安価なガラス基板(

例えば、コーニング社製7059ガラスの様な無アルカリガラス)を用いて、プラズマCVD法による室温～300℃の温度で形成されるシリコン膜を用いて構成された薄膜トランジスタよりもより高性能な薄膜トランジスタを形成することができる。また、パルスレーザービームの照射により、薄膜トランジスタの活性領域の結晶化と同時に、ゲート電極に対して自己整合的にシリコン膜に不純物の活性化が行なわれるので、薄膜トランジスタのソース領域及びドレイン領域をゲート電極に対して自己整合的に形成することができる。さらに、薄膜トランジスタの活性領域の結晶化と、ソース領域及びドレイン領域の形成を一度のパルスレーザーアニールにより形成されるので、従来のように複数回のパルスレーザーアニールを必要としなくなり、したがって製造工程を簡略化することができる。

また、ソース領域及びドレイン領域を形成するための不純物ドーピングのための不純物層(例えばP膜)の形成及びパルスレーザーアニール後の不純物層の除去する工程を必要

## 特開平4-11226(4)

としない。で、この分工程が少なくなり、したがって製造工程を簡略化することができる。

さらに、従来のようにゲートバスラインを形成した後に不純物ドーピングをするためのパルスレーザアニールを、透明基板のゲートバスラインが被着形成されている面側から施す必要が無いために、ゲートバスラインの抵抗率の変化がなくなり、薄膜トランジスタに良好な信号を供給することができる。

## 〔実施例〕

以下、本発明の一実施例について図面を参照しながら説明する。この実施例は本発明をアクティブマトリクス方式の液晶ディスプレイの製造に適用した実施例である。

第1図Aから第1図Fは本発明の一実施例によるアクティブマトリクス方式の液晶ディスプレイの製造方法を工程順に示し、第2図はその完成状態を示す。なお、第1図A～第1図Dは、第2図の2-2線に沿っての断面図である。

本実施例に於いては、第1図Aに示すよう

に示すようにゲートバスライン115を形成する。

次に、上記絶縁膜104を通過して上記シリコン層に達するように、第1図Bに示すように例えばリンをイオン注入法によって、例えば100keVの加速電圧で例えば $3 \times 10^{15} \text{ cm}^{-2}$ の密度で不純物をドーピングして、第1図Cに示すようにイオン注入されたシリコン層107を形成する。この時上記ゲート電極の遮蔽効果によって、薄膜トランジスタTの活性化領域には上記不純物はドーピングされない。

次に、例えば室温でパルスエネルギービーム108を、上記透明基板101の、上記シリコン層103が被着形成されている面の反対側の面から、例えば室温でパルスレーザビームを照射する。このパルスレーザビームとしては、XoC1エキシマレーザによるパルスレーザビーム（波長308nm）を用いることができ、そのパルス幅は例えば45ns、照射エネルギー密度は例えば200～300mJ/cm<sup>2</sup>である。このパルス

に、まずあらかじめ洗浄された透明なガラス基板101に例えばプラズマCVD法により例えば室温～300℃程度の基板温度で例えば膜厚500Åの酸化膜SiN102の絶縁膜を形成する。上記酸化膜によってガラス基板101からの汚染を防止することができる。

次に、例えばプラズマCVD法によって全面に上記絶縁膜102を覆うように例えば基板温度が300℃で、例えば膜厚が500Å程度のアモルファスなシリコン層を形成する。上記アモルファスなシリコン層をエッチングにより、後述の薄膜トランジスタのソース領域及びドレイン領域及び活性領域となる島状のパターン103を形成する。次に例えばAPCVD法により、上記島状のシリコン層を覆うように基板温度300℃で二酸化珪素膜による絶縁膜104を1500Å形成する。次に、例えばスパッタ法により金属膜たとえば2000Åのクロム金属膜を上記絶縁膜104を覆うように被着形成する。上記クロム金属膜をエッチングにより所定の形状にパターンニングして、ゲート電極105及び第2図

レーザビーム108の照射により上記a-Si:H膜103が局所的に加熱され、イオン注入されたシリコン層中の不純物が活性化され、第1図Eに示すように不純物が活性化されたシリコン層109が形成されると同時に、後述の薄膜トランジスタTの活性化領域となる領域が結晶化され第1図Eに示すように結晶化されたシリコン層110が形成される。このパルスレーザビームの照射により、上記ゲート電極105に対して自己整合的にソース領域及びドレイン領域が形成することができる。これによってソース領域及びドレイン領域に抵抗率は、 $10^{-2} \sim 10^{-1} \Omega \cdot \text{cm}$ と低くすることができる。

つぎに、ゲート絶縁膜の所定部分を除去してソース領域及びドレイン領域に達するようにコンタクトホールを形成したのち、例えばアルミニウムをスパッタ法でゲート絶縁膜に被着形成して、このアルミニウム膜をエッチングして所定の形状にパターンニングして、ソース領域に達するソースバスライン114を形成する。つぎに、透明電導膜たとえばIT

## 特開平4-11226(6)

O膜をスパッタ法で被 形成して、このIT  
O膜をエッチングして所定の形状にパターン  
ニングして画素電極113を形成する。次に、  
ゲート電極及びソースライン及び画素電極を  
覆うように、絶縁膜例えば窒化膜115を被  
着形成する。当該絶縁膜115は、外部環境  
からの汚染を防止する。

つぎに、結晶化されたシリコン層110と  
絶縁膜104との界面の特性改善や、結晶化  
されたシリコン層が例えば多結晶シリコン膜  
の場合、当該多結晶シリコン層を構成するシ  
リコンの微結晶の境界の特性改善のために必  
要に応じて、例えば水素を含むガスで例えば  
300℃の温度でアニールを施す。この後、  
全面に液晶配向膜を形成した後、液晶の封入  
工程を経て、目的とする液晶ディスプレイが  
完成する。

本実施例によれば次のような種々な利点が  
ある。すなわち、パルスレーザービーム10  
8の照射により、a-Si:H膜の結晶化を  
室温で行うことができる。また、ソース領域  
112及びドレイン領域112を、イオン注

入、ゲート電極とドレイン領域、及びゲート  
電極とソース領域の間の寄生容量がなくなる  
ため、画質ムラの無い良質な映像を得ること  
ができる。

以上、本発明の実施例に付き具体的に説明  
したが、本発明は、上述の実施例に限定され  
るものではなく、本発明の技術的思想に基づ  
く各種の変形が可能である。

例えば、パルスレーザービーム108とし  
ては、例えばXeFエキシマレーザーによる  
パルスレーザービーム(波長351nm)も  
用いることが可能である。

また、上述の実施例に於いては、本発明を  
液晶ディスプレイの製造に適用した場合に付  
いて説明したが、本発明は、液晶ディスプレ  
イ以外のアクティブマトリクス方式の表示装  
置の製造に適用することが可能である。例え  
ば、上述の実施例における画素電極113上  
の層間絶縁膜115を除去し、表示用物質と  
して液晶の代わりに例えばエレクトロクロミ  
ック(EC)材料を用いれば、アクティブマ  
トリックス方式のエレクトロクロミックディ

スプレイを製造することができる。なお、液  
晶の代わりに光りセンサー材料を用いれば、  
二次元センサーを製造することもできる。

入及びパルスレーザービーム108の照射に  
よって室温で形成することができる。した  
がって、耐熱性はないが安価なガラス基板を  
用いてキャリア(電子)の移動度が高い高性能  
の薄膜トランジスタTを室温〜300℃の低  
温プロセスで製造することができる。この薄  
膜トランジスタTにより、高速度でしかもより  
大きな電流のスイッチングを行うことができ  
る。また、この薄膜トランジスタTの活性領  
域である結晶化されたシリコン層110と、  
ソース領域及びドレイン領域の不純物の活性  
化をわずか一度のパルスレーザーアニールに  
よって形成されるため、記述の従来の液晶デ  
ィスプレイに比べて、パルスレーザーアニ  
ールの工程が少なくなり、したがってこの分  
だけ製造工程を簡略する事ができる。

さらに、ゲート電極105に対して自己整  
合的にシリコン層103に不純物がドーピン  
グされるので、ソース領域111及びドレ  
イン領域112をゲート電極105に対して自  
己整合的に形成することができる。この結果、  
薄膜トランジスタTの応答速度が速くなり、

## 〔発明の効果〕

以上説明したように、本発明によれば、ア  
モルファスシリコン膜にパルスレーザービー  
ムを照射して加熱する事により結晶化すると  
ともに、イオン注入法により、注入された不  
純物例えばPまたはBの活性化もパルスレ  
ザービームで実施されるので、安価なガラ  
ス基板を用いて高性能の薄膜トランジスタを  
製造することができる。また、ゲート電極に  
対して自己整合的に不純物が注入され、パル  
スレーザービームによって活性化されるので、  
薄膜トランジスタのソース領域及びドレ  
イン領域をゲート電極に対して自己整合的  
に形成することができる。さらに、薄膜ト  
ランジスタの活性領域となるシリコン層の  
結晶化と、ソース領域及びドレイン領域を  
形成するための不純物の活性化を、たった  
一度のパルスレーザービームによって実  
施できることによ

## 特開平4-11226(6)

て、従来技術により大幅に工程を簡略化することができる。さらに、ソース領域及びドレイン領域を形成するためにリソグラフィ工程を必要としないため、少なくともこの分だけリソグラフィ工程の数が少なくなり、これによって製造工程を簡略化することができる。

## 4. 図面の簡単な説明

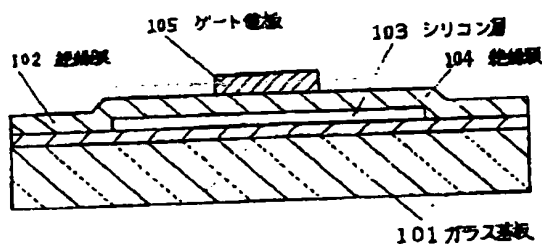
第1図A～第1図Fは本発明の一実施例によるアクティブマトリクス方式の液晶ディスプレイの製造方法を工程順に説明するための断面図、第2図は第1図A～第1図Fに示す方法により製造された液晶ディスプレイの完成状態を示す斜視図、第3図Aは従来のアクティブマトリクス方式の液晶ディスプレイの一例を示す斜視図、第3図Bは第3図AのX-X断面図、第4図Aは従来例である特開平1-241862の発明のアクティブマトリクス方式の液晶ディスプレイの斜視図、第5図(a)～(d)は第4図のアクティブマトリクス方式の液晶ディスプレイの製造方法を工程順

に説明するY-Y断面図である。

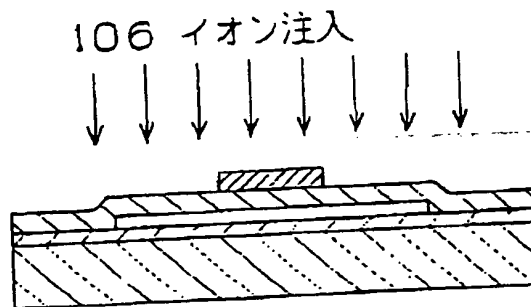
図面における主な符号の説明

101はガラス基板、102は絶縁膜、103はシリコン層、104は絶縁膜、105はゲート電極、106はイオン注入、107はイオン注入されたシリコン層、108はパルスレーザービーム、109は不純物が活性化されたシリコン層、110は結晶化されたシリコン層、111はソース領域、112はドレイン領域、113は画素電極、114はソースバスライン、115は絶縁膜である。

403は画素電極、410はゲート電極、412はソース領域、415はソース・バスライン、501はガラス基板、502は絶縁膜、503はa-Si:H膜、504は絶縁膜、505はパルスレーザービーム、506は結晶化されたSi膜、507は絶縁膜、508は金属膜、510はゲート電極、511は不純物層、512はソース領域、513はドレイン領域を兼ねた画素電極、514は層間絶縁膜、515はソース・バスラインである。

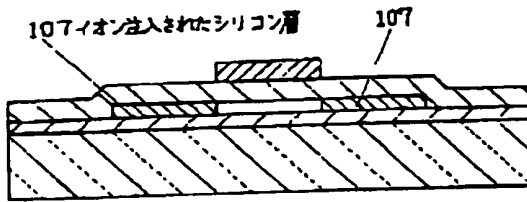


第1図A

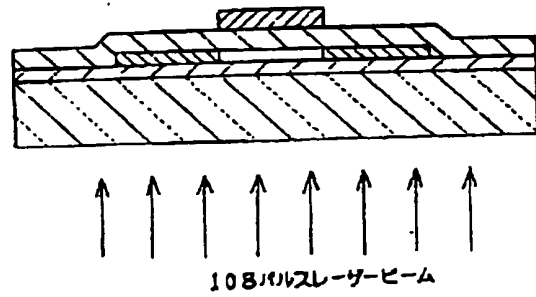


第1図B

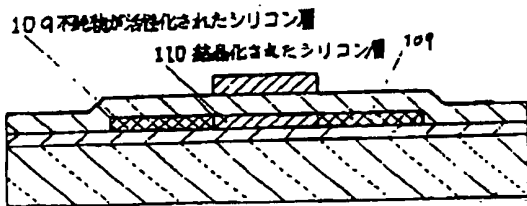
特開平4-11226(7)



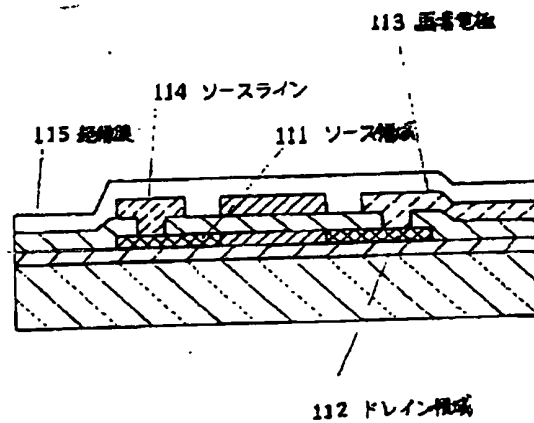
第 1 図 C



第 1 図 D



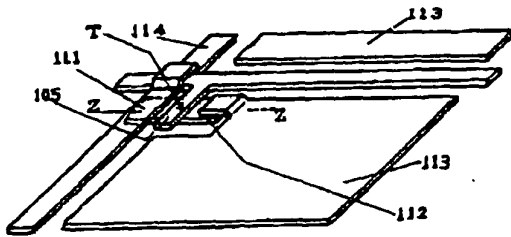
第 1 図 E



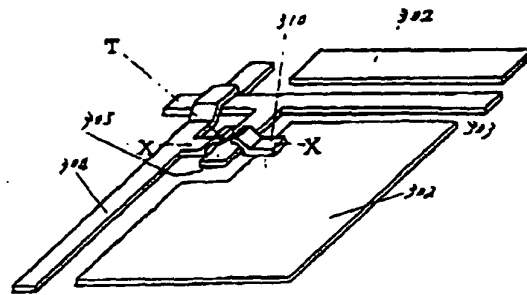
第 1 図 F



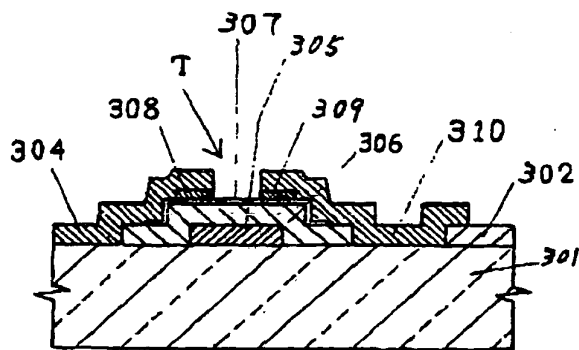
特開平 4-11226 (B)



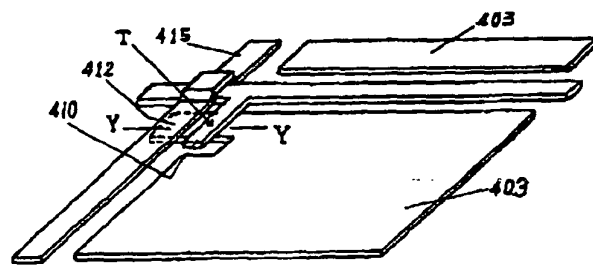
第 2 図



第 3 図 A

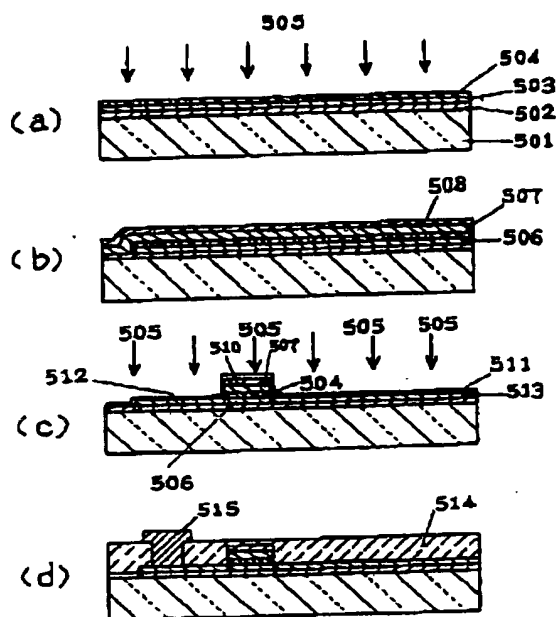


第 3 図 B



第 4 図 A

特開平 4-11226(9)



第 5 図

\* \* \* COMMUNICATION RESULT REPORT ( MAY. 17. 2002 7:03AM ) \* \* \*

TTI NIXON PEABODY

TRANSMITTED/STORED MAY. 17. 2002 7:03AM  
FILE MODE OPTION

ADDRESS

RESULT

PAGE

3672 MEMORY TX

G4 :SEL\_MAIN

OK

1/1

## REASON FOR ERROR

E-1) HANG UP OR LINE FAIL  
E-3) NO ANSWERE-2) BUSY  
E-4) NO FACSIMILE CONNECTION

FROM1=-7039039587=FAX5000L /081-462702408=

/10-2=-05-17:20/001-001-0044801952926 P 1

Kunitaka Yamamoto, 20:28 02/05/17 +0900, 0756-1894, US2114/2144C2D1 (Order No. T001692)

X-Sender: kyama@192.168.3.14  
 X-Mailer: QUALCOMM Windows Eudora Version 4.3.2-J  
 Date: Fri, 17 May 2002 20:28:14 +0900  
 To: jcostellia@nixonpeabody.com  
 From: Kunitaka Yamamoto <kyama@sel.co.jp>  
 Subject: 0756-1894, US2114/2144C2D1 (Order No. T0016921)

**FAX**

Confidential — Attorney-Client Privileged

Dear Mr. Costellia:

Attached please find an electronic copy of today's facsimile letter in the family application (0756-2000, U3571). We would like you to file an IDS to submit JP4-307727 and JP4-11226 in a similar manner.

Should you have any question please let us know.

Best regards.

*1 page rec'd*

MAY 17 2002

US2114D2D2D1-9.wpdKunitaka Yamamoto  
SEMICONDUCTOR ENERGY LABORATORY

This e-mail message is intended for the sole use of the intended recipient and may contain information that is confidential, privileged and/or attorneys' work product. Any review or distribution by any other person is prohibited. If you are not the intended recipient, please immediately contact the sender and delete all copies.